

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭56—92573

⑬ Int. Cl.³
G 09 F 9/30
G 02 F 1/133
1/17
H 01 J 17/48

識別記号

庁内整理番号
7013—5C
7348—2H
7267—2H
7520—5C

⑭ 公開 昭和56年(1981)7月27日

発明の数 1
審査請求 未請求

(全 7 頁)

⑮ 表示パネル

⑯ 特 願 昭54—169935

⑰ 出 願 昭54(1979)12月26日

⑱ 発 明 者 富樫清吾

所沢市大字下富字武野840シテ

⑲ 出 願 人

ズン時計株式会社技術研究所内
シチズン時計株式会社
東京都新宿区西新宿2丁目1番
1号

⑳ 代 理 人

弁理士 金山敏彦

明 細 書

1. 発明の名称

表示パネル

2. 特許請求の範囲

- (1) 小なくとも複数の行電極と、複数の列電極と、該行電極及び列電極の交差する位置に対応して配置された複数のスイッチング素子及び表示要素よりなる表示パネルに於いて、上記スイッチング素子は ~~電極線は光~~ アニールを施された半導体部を含んでなる事を特徴とする表示パネル。
- (2) スイッチング素子に含まれる半導体部はCVD法により形成された多結晶性シリコン膜に ~~電極線は光~~ アニールを施したシリコン膜である事を特徴とする特許請求の範囲第1項記載の表示パネル。

3. 発明の詳細な説明

本発明は各表示要素にスイッチング素子が接続されたスイッチング素子内蔵方式の表示パネルの特性の改善に関する。

液晶の電気光学効果(LCD)や、エレクトロルミネッセンス(EL)、エレクトロクロミズ

ム(EC)、螢光体のプラズマ励起(PDP)や電子線励起(FL)による発光効果等の電気的に駆動可能な表示装置は、腕時計、電卓、計器等を初め広く電子機器に適用され、将来は小型テレビや各種端末機器等にも応用されると見られている。中でも、小型テレビ等の様に高い表示密度が必要となる場合には、表示要素をマトリクス的に配列し、行電極及び列電極で駆動するマトリクス駆動方式が使われる。しかし、例えば液晶やEC、EL等の様にクロストークが大きくてマトリクス駆動が難しい表示装置では各表示要素にスイッチング素子を付属させクロストークを防止する方式がとられる。この方式がスイッチング素子内蔵方式であり、*B. J. Lechner* 等により提案され(*Proc. IEEE* vol. 59, Nov. 1971, P1566~79) 研究も盛んである。

以上のようなスイッチング素子内蔵方式による表示装置は多くの特徴を有する。以下、液晶を用いた場合を例にとり説明すると、ブラウン管(CRT)並の高密度表示が可能であり、しかも低電

(1)

(2)

圧、低電力で動作し、薄型化、小型化が可能である等、数多くの長所を有している。

本発明の説明に先立ち、スイッチング素子内蔵方式について簡単に説明する。第1図は液晶を用いた場合の表示部の回路配置図である。 X_i ($X_1 \sim X_n$) は列電極、 Y_j ($Y_1 \sim Y_m$) は行電極であり両電極に接続したスイッチング素子 S と表示要素 LC がマトリクス的に配置されている。第2図は表示装置全体のブロック図であり、1が第1図に対応する表示部、2は行電極ドライバ、3は列電極ドライバ、4は表示情報処理回路、5はクロック回路である行電極には行電極ドライバから線順次方式の制御信号が印加され、各行が順次選択される。選択電圧 V_{on} 、非選択電圧 V_{off} として、 V_{on} がスイッチング素子の制御電極(ゲート)に印加されると導通となり、その時に列電極ドライバより各列電極に印加されている表示信号が表示要素に書き込まれ、その他の期間では制御電極には V_{off} が印加され書き込まれた信号を保持する。

以上の様にスイッチング素子内蔵方式は原理的

(3)

板で表示パネルを挟む必要がある事から基板の透明性が要求される。

②のスイッチング特性は特に重要である。実用化に際して満足すべき基準は2つある。第1は表示部を表示パネル上に構成し得る為の基準、第2には周辺回路部を表示パネル上に構成し得る為の基準である。第1の基準は表示を成立させる為の最低基準に対応する。第1の基準は満たすが第2の基準には達しない場合には、周辺回路は表示パネルの外部に設けねばならない。電極数が計数百本以上となると周辺回路と表示パネルの相互接続が大きな問題となり、構成が複雑になつたり、回路を必要以上のチップ数で構成しなくてはならなくなる等の弊害が生ずる。周辺回路の一部又は全部を表示パネル上に形成する事により、これらの問題は解消される。以上のように、第1の基準のみならず第2の基準も満たす事が望ましい。

第1の基準は次の点により決定される。

- ④、選択期間中に表示信号の書き込み、消去の可能な事。(十分に小さなオン抵抗 $R_{on}(V_{on})$)

(5)

にクロストークが存在せず、又表示要素の制限も無い極めて優れた方式である。しかし現状では実用化には至っていない。実用化を阻害している最大の問題点はスイッチング素子の性能及び製造性にある。本発明はスイッチング素子内蔵方式に適した優れたスイッチング素子を有する表示パネルを提供するものである。

スイッチング素子内蔵方式に用いるスイッチング素子には次の点を満足する必要がある。

- ①透明基板(例:ガラス板、石英板等)上に形成可能な事。

- ②優れたスイッチング特性($R_{on}(V_{on})$ 、 $R_{off}(V_{off})$)

- ③大面積に特性ムラや欠陥の無い素子群が安定して簡単なプロセスで形成できる事。

①は特に液晶やEL等の如く表示パネル自体は透明である必要のある表示装置について重要である。例えば、現在液晶表示装置の主流はツイスト・ネマチック(TN)方式と呼ばれる方式であり、TN方式では透過型、反射型を問わず通光

(4)

- ⑤、非選択期間中に書き込まれた信号の保持の可能な事。(十分に大きなオフ抵抗 $R_{off}(V_{off})$)

- ⑥、選択電圧 V_{on} 、及び非選択電圧 V_{off} が余り大きくない事。

各表示要素の容量 C_{lc} と浮遊容量 C_s の和を C 、ブレイム周波数を F 、行電極の数を m とする。スイッチング時間 t_s は $R_{on} \times C$ 、一行を選択する時間 t_r は $1/(F \times m)$ よりも小さいから、④の条件 $t_s < t_r$ は

$$R_{on} < 1/(F \times m \times C) \dots \dots \dots (1)$$

となる。一方、非選択期間は $(m-1)/(F \times m) \approx 1/F$ 、保持時間は $R_{off} \times C_{lc}$ であり、⑤の条件は

$$R_{off} > 1/(F \times C_{lc}) \dots \dots \dots (2)$$

となる。⑥の条件は電源や周辺回路にもよるが小さければ小さい程好ましい。

第2の基準は表示パネル上に搭載する周辺回路の種類により異なる。第2図で行電極駆動回路2はパルス巾 t の制御信号を発生するだけであるから上述1、2の条件を満足すればパネル搭載可能

(6)

である。列電極駆動回路3は一般に表示情報処理回路3より送られるシリアル信号をパラレル信号に変換して表示部列電極に供給する機能を有する。回路内にラッチ回路を設ける等して工夫しても一回のシリアル・パラレル(S/P)変換に便する期間 t_{sp} は選択期間 t より大きくはとれず、回路構成を簡略化すれば更に t_{sp} を小さくとらねばならない。列電極数を n 、シリアル信号線数を s とすると、S/P変換回路中のスイッチング素子の応答時間 $R_{on} \times C^*$ は

$$R_{on} \times C^* < t_{sp} \times (s/n)$$

となる。前述の如く $t_{sp} \leq t$ 、 $t \leq 1/F \times m$ より

$$R_{on} < s / (F \times m \times n \times C^*) \dots (3)$$

となる。以上より列電極回路をパネル上に搭載するには少なくとも3の条件を満足しなくてはならない。

③の条件も実用化に於いては極めて重要である。超LSI等の回路技術が小面積集積化による大容量化を目差すのに対し、スイッチング素子内蔵方式の表示パネルは回路技術としては大面積低密度

(7)

Comber, W. E. Spear et al Electronics Letters 15, P 179 (1979))がなされている。しかし、CdSe、a-Si共に前記②、③の条件を満たすに至っていない。

第3図はCdSe実線、a-Si破線による薄膜トランジスタのスイッチング特性であり、横軸はゲート電圧 V_g 、縦軸は素子インピーダンス R である。表示部の面積 10 cm^2 角、行列電極数 $m=n=500$ とすると $C_{lc} = 0.2\text{ pF}$ 、又 $C \approx 1\text{ pF}$ 、フレーム周波数 $F = 50\text{ Hz}$ とすると(1)式より $R_{on} < 4 \times 10^7 \Omega$ 、(2)式より $R_{off} > 10^{10} \Omega$ 、又 $C^* \approx 0.2\text{ pF}$ 、 $s \approx 5$ とすれば(3)式より $R_{on} < 2 \times 10^8 \Omega$ 程度になる。第3図の例ではCdSeトランジスタでは R_{off} が小さく第1の基準も満足しない。又、a-Siトランジスタでは R_{on} が $V_{on} \geq 40\text{ V}$ でもギリギリである。スイッチング特性はトランジスタの寸法やゲート酸化膜厚により変化させることが可能であり、(1)~(3)式の条件もパラメータを変化させれば変わるが、いずれにせよCdSeやa-Siでは第1の基準がやつとであり、第2の基準

(9)

での大容量化に対応する。その結果、超LSI技術とは違った意味での高度なプロセス技術が必要である。特に大面積化により集約度が低下するからより安価なプロセスが望ましく、又大面積でも均一で安定したプロセスが必要である。

実用化に際しては、少なくとも以上の①~③の条件を十分に満足する必要がある。しかし従来技術ではいずれも不十分である。スイッチング素子内蔵方式のa-Siトランジスタとしては何種類かのもものが提案されている。まずLewis T. Lipton等は単結晶Si基板を表示パネル基板として使用し、単結晶SiによるMOS-FETを用いている(参照:SID78 Digest, P. 96 (1978))。Si基板は不透明であり①の条件を満たせず表示方式も限定されてしまう。①の条件を満たすスイッチング素子としては、CdSeの蒸着膜を用いた例(参照: Fang-Chen Luo, T. P. Brody et al, SID78 Digest, P 94 (1978))やグロー放電分解法によるアモルファスシリコン(a-Si)を用いる提案(参照: P. G. L.

(8)

には到底及ばない。

以上の様に、CdSe、a-Siトランジスタのスイッチング特性の悪い原因の一つは半導体薄膜の移動度 μ が小さい事にある。第3図のスイッチング特性曲線の傾斜は移動度に大きく依存する。移動度が大きいとわずかな電圧 V_g の変化で素子インピーダンスは大幅に変化する。第3図の電圧を数 $+V$ も印加してもインピーダンス変化が小さいのはCdSe、a-Si膜の移動度 μ が小さい為である。例えば、単結晶シリコンでは $\mu = 10^3 \sim 10^4\text{ cm}^2/\text{V} \cdot \text{sec}$ あるのに対しCdSeでは $\mu = 10\text{ cm}^2/\text{V} \cdot \text{sec}$ 、a-Siでは $\mu = 10^{-1} \sim 10^2\text{ cm}^2/\text{V} \cdot \text{sec}$ に過ぎない。このような移動度の低さが、スイッチング特性、特に R_{on} を低下させ、大きな V_{on} を必要とする原因となつている。

スイッチング特性を悪くしているもう一つの原因は不純物制御性の悪さにある。単結晶Si等を用いたMOS-FETの場合ソース・ドレイン間はオフ時には逆接続されたPN接合で絶縁され十分に大きなオフ抵抗 R_{off} を得ている。しかし、

00

CdSe の場合には不純物制御性が極めて悪く P n 接合を作る事が出来ない。又 α -Si では P n 接合は可能であるがバンドギャップ内の単位密度が高く、よい P n 接合が得られにくい。この結果、第3図の低電圧側の如く有限のリーク電流が生じ十分に大きな R_{off} が得られない。

③の条件も従来法では不十分である。CdSe の蒸着膜は多結晶性であり素子特性には粒界の影響が極めて大きい。この為粒径の均一な膜が大面積で必要であるが製造は非常に難しい。又蒸着法では膜を形成する基板は蒸着源と対向している必要があり一工程で多数の基板を処理する事は難しい。グロー放電分解法による α -Si 膜の場合も、プラズマの分布が重要であり1回の工程で処理出来る枚数には限りがある。以上の如く表示パネルに使用するスイッチング素子の製造プロセスとしては必ずしも最適ではない。

本発明は以上の様な従来例の欠点を大巾に改善するものであり、従来例と比べ優れたスイッチング特性を有するスイッチング素子を大面積低密度

03

粒径数 μ ～数 10μ の多結晶膜とする事が可能で、移動度 μ は単結晶の値(数 $10 \sim 1000 \text{ cm}^2/\text{V} \cdot \text{sec}$)に近い数 $100 \text{ cm}^2/\text{V} \cdot \text{sec}$ とする事が可能である。以上の如く移動度が改善された結果より低いオン電圧 V_{on} でより小さなオン抵抗 R_{on} が実現され、前述の(1)式の基準のみならず(3)式の基準をも十分満足する事が可能となつた。不純物制御性の悪さもレーザアニールにより大巾に改善される。不純物制御性はその膜組成に大きく依存する。ドーピングされた不純物が伝導性を制御する為には結晶構造中に置換的にとり込まれて活性化しなくてはならないが、多結晶膜やアモルファス膜では粒界や不完全結合の効果により十分に活用化されず制御性を悪くしている。レーザアニールによれば、これ等の粒界や不完全結合を十分に少なくでき、不純物制御性を改善する事が可能である。その結果、スイッチング素子のスイッチング路をオフ時には不純物濃度分布によるポテンシャルステップ、例えば P n 接合等により分離可能となり R_{off} を十分大きくとれる。その結果、(2)式の基

03

形成に適した製造プロセスで形成してなる表示パネルを提供する。詳しくは表示パネル上に形成した半導体薄膜にレーザアニールを施す事によりスイッチング特性を高めるものである。

前述の如く従来例に用いる半導体薄膜の欠点は移動度の低さ及び不純物制御性の悪さにある。

CdSe における移動度の低さは多結晶膜における粒界の効果に起因する。 α -Si についてはアモルファス膜に特有な局在単位によるトラップ効果に起因する。レーザアニールを多結晶膜やアモルファス膜を施すと、適当な条件を選ぶ事により、かなり大きな粒界を持つ多結晶に近い多結晶膜とする事が出来る。この結果、局在単位が減少してトラップ効果も小さくなり粒界効果による影響も小さくなつて移動度 μ は大巾に増大する。Si を例にとると C V D 法による多結晶膜(粒径 $= 1000 \text{ \AA}$) の移動度 μ は約 $100 \text{ cm}^2/\text{V} \cdot \text{sec}$ であり、グロー放電分解法により水素添加された α -Si の移動度 μ は $10^1 \sim 10^2 \text{ cm}^2/\text{V} \cdot \text{sec}$ であるのに対し、レーザアニールを施す事により

04

準も十分満足し良好な表示が可能となる。以上の如く表示パネルに設けるスイッチング素子にレーザアニールを施した半導体を用いる事によりスイッチング素子特性は大巾に改善され、表示部の表示特性が改善されるのみならず周辺回路も表示パネル上に形成可能となり接続線数等が大巾に低減される等構造を大巾に簡略化する事が出来る。更にレーザアニールは表示パネルのような大面積低密度に分布した素子製造プロセスには極めて適している。熱処理等では熱分布やガス分布、支持構造等により大面積均一処理は非常に難しい。しかし、レーザアニール法では局所走査処理であるから大面積でも安定した処理が可能である。又、普通の処理法は全面を一様に処理するから、表示パネルの如き低密度素子の処理法としては効果的でない。この点でもレーザアニール法は局所処理であるから低密度処理としては非常に効果的である。

以上の如く、本発明による表示パネルは従来例にない優れた特性、製造性を有している。以下実

04

施例について説明する。

第4図は実施例に用いたスイッチング素子の形成プロセスの説明図である。50は基板であり本例では石英ガラスを用いた。基板をよく洗浄した後、成膜CVD法により多結晶シリコン膜を基板上に5000Å~1μm程度形成した。次にトランジスタを形成する部分にボロンを打ち込み、続いてその部分にレーザー光を照射してアニールした。レーザーは10WのCWのアルゴンレーザーを用いた。勿論、間欠発振のレーザーを用いてもよい。第4図(1)に於いて22の部分にトランジスタ形成領域であり、P型にドーピングされた後レーザー光21によりアニールされて、数μm~数10μmオーダの粒径を持つP型領域となつてゐる。23は形成したままの多結晶膜であり粒径1000Å程度で低不純物濃度の高抵抗体である。続いてフィールド酸化膜26及びゲート酸化膜25を形成し、再びCVD法によりゲート及び多層配線形多結晶シリコン膜27、28を形成する。更に24の方向からn型不純物を添加しソース、ドレイン領域

(5)

サンプリングパルス発生回路より12で供給されるサンプリングパルスにより、b₁~b₄各電極に接続されたスイッチング素子を選択的に導通させ表示情報処理回路4'より11で供給される表示信号を各列電極に振り分ける事により表示パネル9と表示情報処理回路4'との相互配線を減少させてゐる。

以上の例では表示パネルからの引き出し配線は11、12、13の配線であり、400×400程度の表示装置の場合でも50本以下で済む表示装置全体の構造は大巾に簡略化されるが、本発明の如くレーザーアニールを施した半導体を用いれば十分に達成可能となる。

以上の如く、レーザーアニールを施された半導体部を含んだスイッチング素子を表示パネル上に形成した本発明は、極めて優れた表示パネルを提供するものである。

尚、実施例ではCVD法による多結晶シリコンを用いたが、アモルファス膜でも又他の半導体材料でも本発明は有効である。又、表示パネルに

のn型部の形成及び、多結晶シリコン膜27、28の導電率の向上を行う。再び絶縁膜及びスルーホールを設けた後、電極部29、30、31を形成する。

以上の方法で形成したシリコン膜の移動度μは200~500 cm²/V・secとなり、pn接合のもれ電流も少なく、トランジスタのスイッチング特性は第3図41となり、表示部は勿論周辺回路の表示パネル上の形成も可能である。第5図及び第6図は以上の方法で形成されるスイッチング素子を用いて作られる表示パネル及び表示装置の一例である。第5図は表示パネル上の回路配線図であり、1が表示部、2が行電極ドライバ、8は列電極に印加される信号を制御するスイッチマトリクスである。行電極ドライバには浮遊容量を利用したダイナミック・シフト・レジスタを採用した。クロック回路より供給されるクロック信号φ、φ̄及び一定電位信号V₁、V₂等の信号13を入力する事により各行電極に順次式の走査信号を印加する。スイッチマトリクス8は、第6図10の

(6)

用いる基板はフラットである必要はなく、必要に応じて溝等を形成しその上に半導体を形成しレーザーアニールを施す事は膜質を更に改善する上で有効である。又、実施例ではスイッチング素子間の絶縁は不純物無添加の高抵抗性多結晶膜23で行なつたが、この部分はエッチングで除去しても構わない。但し、実施例の構造は平面性が良く液晶等を用いたセル状の表示パネルとする上では有利である。又、実施例ではnチャネル素子を用いたがpチャネル素子でも、又同一基板上にpチャネル素子及びnチャネル素子を形成し、コシプリメタリー回路を形成してもよい。

4. 図面の簡単な説明

第1図はスイッチング素子内蔵方式の表示部の回路配線図、第2図は表示装置全体のブロック図、第3図は従来例及び本発明における表示パネル上のスイッチング素子特性、第4図は本発明に於ける表示パネル上のスイッチング素子形成プロセスの一例、第5図は第4図のスイッチング素子を用いて作られる表示パネルの回路配線図、第6図は

(7)

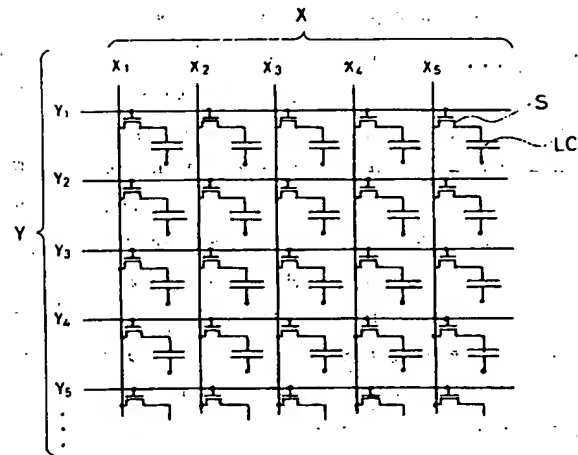
(8)

装置全体のブロック図である。

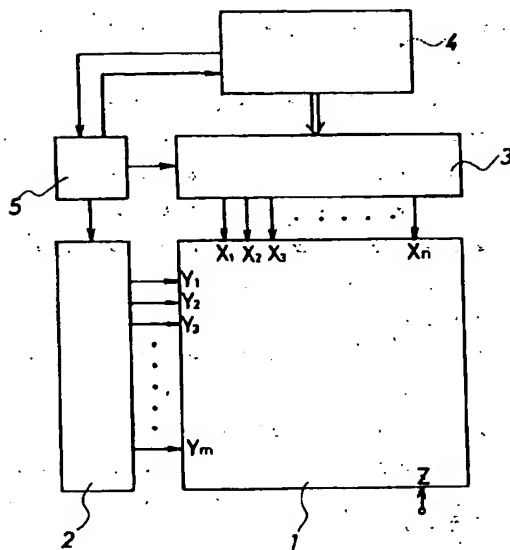
- 1 … 表示部、
- 2 … 行電極ドライバ、
- 3 … 列電極ドライバ、
- 6 … CdSe トランジスタのスイッチング特性、
- 7 … a-Si トランジスタのスイッチング特性、
- 41 … レーザーアニールされた多結晶Si トランジスタのスイッチング特性、
- 21 … レーザー光。

出 願 人 シチズン時計株式会社
代 理 人 弁理士 金 山 敏 彦

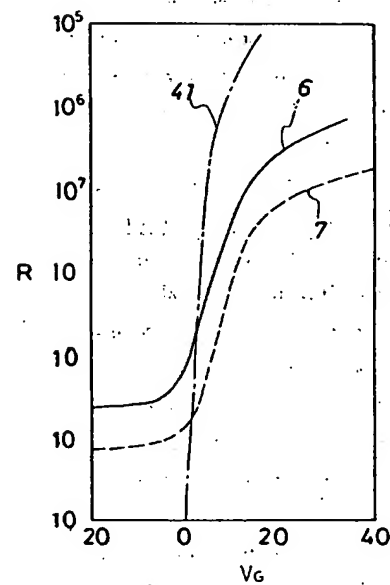
第1図



第2図

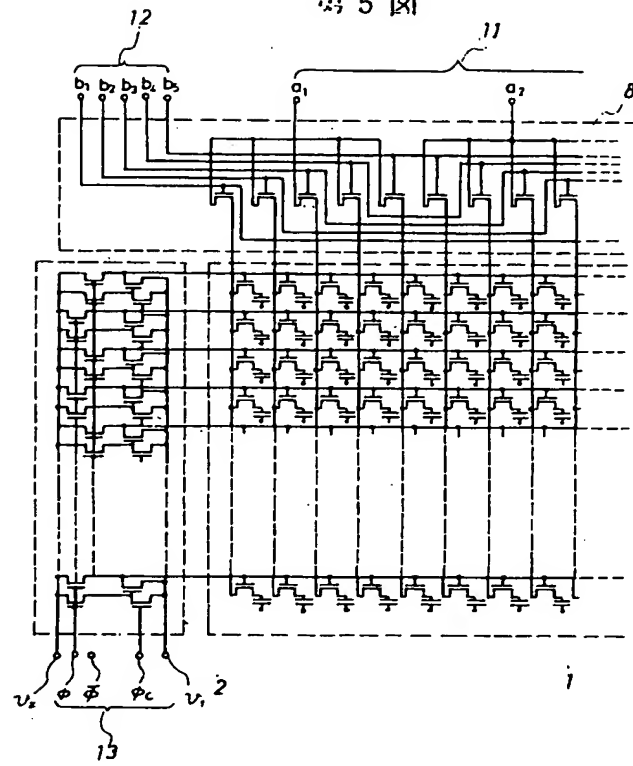
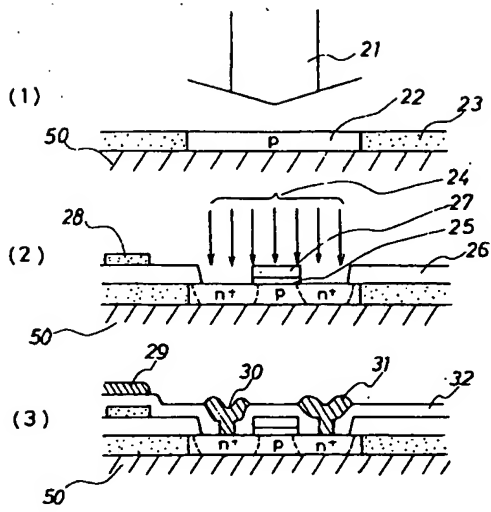


第3図



第 5 図

第 4 図



第 6 図

